* Arquitectura de 26 bits

SUB R0, R7, R7

0 00 000100 111 000 0000 0000 111

ADD R2, R0, #5

0 00 101000 000 010 0000 0000 101

ADD R3, R0, #12

0 00 101000 000 011 0000 0001 100

Sub R7, R3, #9

0 00 100100 011 110 0000 0001 001

ORR R4, R7, R2

0 00 011000 110 100 0000 0000 010

9C007

501005

50180C

48F009

31A002

LDR R2, [R0, #0]

0 01 011001 000 010 0000 0000 000

LDR R3, [R0, #256]

0 01 011001 000 011 0010 0000 000

LDR R2, [R0, #256]

1110 010 1100 1 0000 0010 0001 0000 0000

1 bit de condicional

2 bits de OP

00 ALU

01 LDR/STR

10 Branch

6 bits func

I 1 si se trabaja con immediatos

P algo de posfix, no se que hace pero si no esta no funca

U P x2 :c

B P x3 :c

W P x4 :c

L P x5 :c

3 bits R operando 1

3 bits R destino

8 bits para inmediato

3 bits R operando 2 (o para extender el immediato)

8 registros PC = R7

BEQ se calcula (target – (PC + 8)) >> 2 (Solo para salto adelante no se hacer para atrás :c)